

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-25016

(P2002-25016A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 B 5/39		G 1 1 B 5/39	2 G 0 1 7
G 0 1 R 33/09		H 0 1 L 43/08	Z 5 D 0 3 4
H 0 1 L 43/08		G 0 1 R 33/06	R

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2000-208400 (P2000-208400)

(22) 出願日 平成12年7月10日 (2000.7.10)

(71) 出願人 000003067

ティーディーケー株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 島沢 幸司

東京都中央区日本橋一丁目13番1号ティー

ディーケー株式会社内

(74) 代理人 100074930

弁理士 山本 恵一

Fターム(参考) 2G017 ACD1 AD55 AD62 AD63 AD65

5D034 BA03 BA04 BA08 BA15 BB08

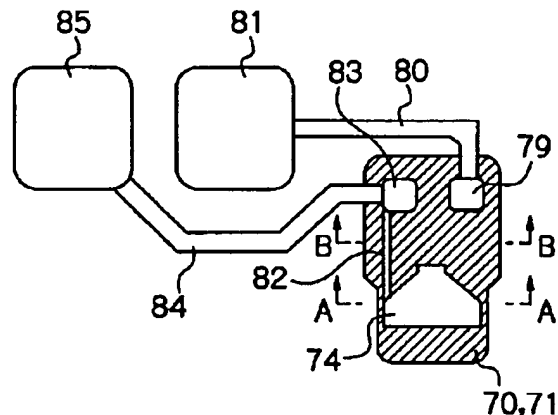
CA08

(54) 【発明の名称】 磁気抵抗効果型薄膜磁気ヘッド

(57) 【要約】

【課題】 周波数特性を大幅に向上することができる、例えばTMR素子又はCPP-GMR素子を備えた、MR型薄膜磁気ヘッドを提供する。

【解決手段】 下部シールド層と、上部シールド層と、下部シールド層及び上部シールド層間にこれら下部シールド層及び上部シールド層に電氣的に導通して形成されており、積層面に垂直方向に電流が流れるMR積層体と、一端が上部シールド層に電氣的に接続されており他端が端子電極に電氣的に接続されたリード導体とを備えており、リード導体が、このリード導体の下部シールド層上に位置する部分の面積が小さくなるようにパターンニングされている。



【特許請求の範囲】

【請求項1】 下部シールド層と、上部シールド層と、該下部シールド層及び該上部シールド層間に該下部シールド層及び該上部シールド層に電氣的に導通して形成されており、積層面に垂直方向に電流が流れる磁気抵抗効果積層体と、一端が前記上部シールド層に電氣的に接続されており他端が端子電極に電氣的に接続されたリード導体とを備えており、前記リード導体が、該リード導体の前記下部シールド層上に位置する部分の面積が小さくなるようにパターニングされていることを特徴とする磁気抵抗効果型薄膜磁気ヘッド。

【請求項2】 下部シールド層と、該下部シールド層上に積層された非磁性導電体の下部ギャップ層と、該下部ギャップ層上に積層形成されており、積層面に垂直方向に電流が流れる磁気抵抗効果積層体と、該磁気抵抗効果積層体上に積層形成された非磁性導電体の上部ギャップ層と、該磁気抵抗効果積層体及び該上部ギャップ層の周囲に形成された絶縁体の絶縁ギャップ層と、前記上部ギャップ層及び前記絶縁ギャップ層上に積層形成された上部シールド層と、一端が前記下部シールド層に電氣的に接続されたリード導体と、該リード導体の他端に電氣的に接続された端子電極とを備えており、前記リード導体が、該リード導体の前記下部シールド層上に位置する部分の面積が小さくなるようにパターニングされていることを特徴とする磁気抵抗効果型薄膜磁気ヘッド。

【請求項3】 前記リード導体がビアホール導体を含んでおり、該ビアホール導体が前記下部シールド層の外側に位置に形成されていることを特徴とする請求項1又は2に記載の磁気抵抗効果型薄膜磁気ヘッド。

【請求項4】 前記リード導体の全てが、前記下部シールド層の外側の位置に形成されていることを特徴とする請求項1から3のいずれか1項に記載の磁気抵抗効果型薄膜磁気ヘッド。

【請求項5】 前記磁気抵抗効果積層体が、トンネルバリア層と、該トンネルバリア層を挟む一対の強磁性薄膜層とを備えたトンネル磁気抵抗効果積層体であることを特徴とする請求項1から4のいずれか1項に記載の磁気抵抗効果型薄膜磁気ヘッド。

【請求項6】 前記磁気抵抗効果積層体が、非磁性金属層と、該非磁性金属層を挟む一対の強磁性薄膜層とを備えた垂直方向電流通過型巨大磁気抵抗効果積層体であることを特徴とする請求項1から4のいずれか1項に記載の磁気抵抗効果型薄膜磁気ヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばハードディスクドライブ(HDD)装置に使用可能であり、電流が積層面と垂直方向に流れるトンネル磁気抵抗効果(TMR)素子又は垂直方向電流通過型巨大磁気抵抗効果(CPP(Current Perpendicular

to the Plane)-GMR)素子を備えた磁気抵抗効果(MR)型薄膜磁気ヘッドに関する。

【0002】

【従来の技術】HDD装置の高密度化に伴って、より高感度及び高出力の磁気ヘッドが要求されている。近年、この要求に答えるものとして、下部強磁性薄膜層/トンネルバリア層/上部強磁性薄膜層という多層構造からなる強磁性トンネル効果を利用したTMR素子(例えば、特開平4-103014号公報)や、下部強磁性薄膜層/非磁性金属層/上部強磁性薄膜層という多層構造からなるGMR素子の一種であり電流が積層面と垂直方向に流れるCPP-GMR素子(例えば、W. P. Pratt, Jr et al, "Perpendicular Giant Magnetoresistance of Ag/Co Multilayers", PHYSICAL REVIEW LETTERS, Vol. 66, No. 23, pp. 3060-3063, June 1991)が注目されている。これらの素子は、電流が積層面に沿って流れる一般的なGMR素子(CIP(Current-InPlane)-GMR素子)に比較して数倍大きなMR変化率が得られ、しかも狭ギャップを容易に実現できる。なお、下部強磁性薄膜層及び上部強磁性薄膜層における「下部」及び「上部」とは、基板との位置関係を示す用語であり、一般に、基板に近い側が下部、遠い側が上部である。

【0003】図1は、一般的な構造を有するCIP-GMR素子をABS(浮上面)方向から見た図である。

【0004】同図において、10は下部シールド層、11は絶縁材料で形成された下部ギャップ層、12は下部強磁性薄膜層(フリー層)/非磁性金属層/上部強磁性薄膜層(ピン層)/反強磁性薄膜層という多層構造からなるGMR積層体、13は絶縁材料で形成された上部ギャップ層、14は上部シールド層、15はハードバイアス層、16は電極層をそれぞれ示している。

【0005】センス電流はGMR積層体12の積層面と平行に流れ、下部及び上部シールド層10及び14とGMR積層体12とは下部及び上部ギャップ層11及び13で電氣的に絶縁されている。

【0006】このようなCIP-GMR素子において、狭ギャップ化を実現するためには、非常に薄くかつ絶縁耐圧が非常に高い絶縁体を下部及び上部ギャップ層11及び13に用いる必要があるが、このような特性の絶縁体を実現することが難しく、これが高密度化のためのボトルネックとなっている。

【0007】図2は、一般的な構造を有するTMR素子又はCPP-GMR素子をABS方向から見た図である。

【0008】同図において、20は電極兼用の下部シールド層、21は金属材料で形成された電極兼用の下部ギャップ層、22は下部強磁性薄膜層(フリー層)/トン

ネルバリア層／上部強磁性薄膜層（ビンド層）／反強磁性薄膜層という多層構造からなるTMR積層体、又は下部強磁性薄膜層（フリー層）／非磁性金属層／上部強磁性薄膜層（ビンド層）／反強磁性薄膜層という多層構造からなるCPP-GMR積層体、23は金属材料で形成された電極兼用の上部ギャップ層、24は電極兼用の上部シールド層、25はハードバイアス層、26は絶縁材料で形成された絶縁ギャップ層をそれぞれ示している。なお、22aはTMR積層体又はCPP-GMR積層体から積層面に沿ってハードバイアス層25方向に延長された下部強磁性薄膜層（フリー層）である。

【0009】このようなTMR素子又はCPP-GMR素子においては、センス電流を積層面と垂直方向に流すために下部シールド層20及び上部シールド層24間が電気的に導通しており、従って、ギャップ層の絶縁破壊を心配することなく狭ギャップ化の実現が可能である。その結果、線記録密度を大幅に向上することが可能である。

【0010】HDD装置においては、このような高記録密度化のみならず、高転送速度化も非常に重要な課題となっている。転送速度は、磁気ディスクの回転速度に大きく影響されるが、記録ヘッドや再生ヘッドの周波数特性にも非常に大きく影響される。

【0011】

【発明が解決しようとする課題】図3はCIP-GMR素子の等価回路図であり、図4はTMR素子又はCPP-GMR素子の等価回路図である。

【0012】図3から明らかなように、CIP-GMR素子においては、出力端子間にはGMR素子の等価抵抗 R_{GMR} が存在するのみであり周波数特性を劣化させるような本質的な要因はその回路中に存在しない。しかしながら、図4から明らかなように、シールド層を電極として利用する構造のTMR素子又はCPP-GMR素子においては、出力端子間にTMR素子又はCPP-GMR素子の等価抵抗 R_{TMR} の他にシールド層間のキャパシタンス C_{shield} 及びTMR素子又はCPP-GMR素子自体のキャパシタンス C_{TMR} が存在しており、これらがローパスフィルタを構成する形となって周波数特性が著しく劣化してしまう。

【0013】従って、本発明の目的は、周波数特性を大幅に向上することができる、例えばTMR素子又はCPP-GMR素子を備えた、MR型薄膜磁気ヘッドを提供することにある。

【0014】

【課題を解決するための手段】本発明によれば、下部シールド層と、上部シールド層と、下部シールド層及び上部シールド層間にこれら下部シールド層及び上部シールド層に電気的に導通して形成されており、積層面に垂直方向に電流が流れるMR積層体と、一端が上部シールド層に電気的に接続されており他端が端子電極に電気的に

接続されたリード導体とを備えており、リード導体が、このリード導体の下部シールド層上に位置する部分の面積が小さくなるようにパターニングされているMR型薄膜磁気ヘッドが提供される。

【0015】さらに、本発明によれば、下部シールド層と、下部シールド層上に積層された非磁性導電体の下部ギャップ層と、下部ギャップ層上に積層形成されており、積層面に垂直方向に電流が流れるMR積層体と、MR積層体上に積層形成された非磁性導電体の上部ギャップ層と、MR積層体及び上部ギャップ層の周囲に形成された絶縁体の絶縁ギャップ層と、上部ギャップ層及び絶縁ギャップ層上に積層形成された上部シールド層と、一端が下部シールド層に電気的に接続されたリード導体と、このリード導体の他端に電気的に接続された端子電極とを備えており、リード導体が、このリード導体の下部シールド層上に位置する部分の面積が小さくなるようにパターニングされているMR型薄膜磁気ヘッドが提供される。

【0016】リード導体の下部シールド層上に位置する部分の面積が小さくなるようにパターニングされているため、下部シールド層及び上部シールド層間のキャパシタンス C_{shield} が小さくなる。その結果、薄膜磁気ヘッドの周波数特性が著しく向上する。

【0017】図5は図4に示した等価回路においてシールド層間のキャパシタンスが $C_{shield} = 6 \text{ pF}$ の場合におけるヘッド出力の対周波数特性を示す図であり、図6は同じく図4に示した等価回路においてシールド層間のキャパシタンスが $C_{shield} = 1 \text{ pF}$ の場合におけるヘッド出力の対周波数特性を示す図である。ただし、TMR素子又はCPP-GMR素子のキャパシタンスは $C_{TMR} = 0.01 \text{ pF}$ とし、出力端子に接続される負荷は $10 \text{ M}\Omega$ とする。

【0018】図5から明らかなように、シールド層間のキャパシタンス $C_{shield} = 6 \text{ pF}$ の場合、出力が3dB低下するカットオフ周波数 f_c は、素子抵抗 R_{TMR} の増大に伴って減少し、 $f_c > 500 \text{ MHz}$ とするためには、素子抵抗 R_{TMR} を 50Ω 以下にしなければならない。 100 Gbits/in^2 以上の記録密度のTMR素子においては、このような低い素子抵抗を実現することは非常に困難である。

【0019】これに対して、図6から明らかなように、シールド層間のキャパシタンス $C_{shield} = 1 \text{ pF}$ の場合、素子抵抗 R_{TMR} が 300Ω 以上であっても $f_c > 500 \text{ MHz}$ とすることが可能となる。即ち、シールド層間のキャパシタンス C_{shield} を小さくすることにより、素子抵抗 R_{TMR} が十分に実現可能な 300Ω 以上であっても薄膜磁気ヘッドの周波数特性を著しく向上させることができるのである。なお、TMR素子又はCPP-GMR素子のキャパシタンス C_{TMR} は、シールド層間のキャパシタンス C_{shield} に比して

はるかに(2桁以上)小さいため、さほど問題とならない。

【0020】リード導体がビアホール導体を含んでおり、ビアホール導体が下部シールド層の外側の位置に形成されていることが好ましい。このように、上部シールド層の電位を有するビアホール導体を下部シールド層の外側に位置させることにより、面積の比較的大きいこのビアホール導体がシールド間キャパシタの対向電極とはならない。従って、シールド層間のキャパシタンス C_{shield} を大幅に低減することができる。一般に、下部シールド層を形成することによりその部分に段差が形成されてしまうため、下部シールド層に電気的に接続されるビアホール導体はもちろんのこと、上部シールド層に電気的に接続されるビアホール導体も下部シールド層の形成されている領域の上に作成することがあたりまえであった。しかしながら、下部シールド層及びその上に絶縁体層を形成後、CMP処理を行えば、下部シールド層による段差が解消されるので、下部シールド層の外側の位置にビアホール導体を容易に形成可能となる。

【0021】リード導体の全てが、下部シールド層の外側の位置に形成されていることも好ましい。

【0022】MR積層体が、トンネルバリア層と、このトンネルバリア層を挟む一対の強磁性薄膜層とを備えたTMR積層体であるか、又は非磁性金属層と、この非磁性金属層を挟む一対の強磁性薄膜層とを備えたCPP-GMR積層体であることも好ましい。

【0023】

【発明の実施の形態】図7は本発明の第1の実施形態として、MRハイト又はスロートハイト研磨加工前のTMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図8は図7のA-A線断面図であり、図9は図7のB-B線断面図である。なお、図7では下部シールド層及び上部シールド層とこれらに接続されるリード導体と端子電極のみが表されその他は図示が省略されており、図8及び図9では上部シールド層の上平面より上側の層の図示が省略されている。

【0024】これらの図において、70は図示しない基板上に積層形成された電極兼用の下部シールド層、71は下部シールド層70上にこの下部シールド層70と電気的に導通して積層形成された非磁性導電体による電極兼用の下部ギャップ層、72は下部ギャップ層71上に積層されパターンニング形成されたTMR積層体、73は少なくともTMR積層体72上に積層形成された非磁性導電体による電極兼用の上部ギャップ層、74は上部ギャップ層73上にこの上部ギャップ層73と電気的に導通して積層形成された電極兼用の上部シールド層、75は磁区制御のためのバイアス磁界を付与するハードバイアス層、76は少なくとも下部ギャップ層71上であってTMR積層体72の外側に積層形成された絶縁体によ

る絶縁ギャップ層、77は下部シールド層70の外側に形成された第1の絶縁体層、78は絶縁ギャップ層76上であって上部ギャップ層73及び上部シールド層74の外側に形成された第2の絶縁体層、79は一端が下部シールド層70又は下部ギャップ層71に電気的に接続された第1のビアホール導体、80は一端が第1のビアホール導体79の他端に電気的に接続された第1のリード導体、81は第1のリード導体80の他端が電気的に接続された第1の端子電極(接続パッド)、82は一端が上部シールド層74に電気的に接続された第2のリード導体、83は一端が第2のリード導体82の他端に電気的に接続された第2のビアホール導体、84は一端が第2のビアホール導体83の他端に電気的に接続された第3のリード導体、85は第3のリード導体84の他端が電気的に接続された第2の端子電極(接続パッド)をそれぞれ示している。

【0025】TMR積層体72は、図には示されていないが、反強磁性薄膜層、下部強磁性薄膜層(ビンド層)、トンネルバリア層及び上部強磁性薄膜層(フリー層)という基本的な層を少なくとも含む多層構造となっている。

【0026】上部強磁性薄膜層(フリー層)は、基本的には、外部磁場に応答して自由に磁化の向きが変わるように構成されており、下部強磁性薄膜層(ビンド層)は、反強磁性薄膜層との間の交換結合バイアス磁界によって、その磁化方向が所定方向に向くように構成されている。

【0027】下部シールド層70及び上部シールド層74は、NiFe(パーマロイ)、センダスト、CoFe、CoFeNi又はCoZrNb等の単層構造又は多層構造で構成される。膜厚は、0.5~4 μ m、好ましくは1~3 μ mである。

【0028】下部ギャップ層71及び上部ギャップ層73は、非磁性導電体材料、例えばTa、Cu、Al、Ag、Au、Ti、TiW、Rh、Cr、In、Ir、Mg、Ru、W、Zn、PtMn若しくはRuRhMn、又はそれらの合金で構成される。膜厚は、5~70nm、好ましくは10~50nmである。

【0029】TMR積層体72における下部強磁性薄膜層(ビンド層)及び上部強磁性薄膜層(フリー層)は、高スピン分極材料で構成することが好ましく、例えば、Fe、Co、Ni、CoFe、NiFe、CoZrNb又はCoFeNi等の単層構造又は多層構造が用いられる。下部強磁性薄膜層(ビンド層)の膜厚は、1~10nm、好ましくは2~5nmである。この膜厚が厚くなりすぎると反強磁性薄膜層との交換結合バイアス磁化が弱まり、膜厚が薄くなりすぎるとTMR変化率が減少する。上部強磁性薄膜層(フリー層)の膜厚は、2~50nm、好ましくは4~30nmである。この膜厚が厚くなりすぎるとヘッド動作時の出力が低下しかつバルクハ

ウゼンノイズ等によって出力の不安定性が増大し、膜厚が薄くなりすぎるとTMR効果の劣化に起因する出力低下が生じる。

【0030】TMR積層体72におけるトンネルバリア層は、 Al_2O_3 、 NiO 、 GdO 、 MgO 、 Ta_2O_5 、 MoO_2 、 TiO_2 又は WO_2 等から構成される。膜厚は、0.5～2nm程度である。このトンネルバリア層の膜厚は、素子の低抵抗値化の観点からできるだけ薄いことが望ましいが、あまり薄すぎてピンホールが生じるとリーク電流が流れてしまうので好ましくない。

【0031】TMR積層体72における反強磁性薄膜層は、例えばPtMn、RuRhMnで構成されるがその他の一般的な反強磁性材料を用いることもできる。膜厚は6～30nm程度である。

【0032】絶縁ギャップ層76、第1の絶縁体層77及び第2の絶縁体層78は、一般的には Al_2O_3 で構成される。

【0033】第1及び第2のピアホール導体79及び83、第1、第2及び第3のリード導体80、82及び84、並びに第1及び第2の端子電極（接続パッド）81及び85は、Cu、Al、Au又はAg等で構成される。ただし、一端が上部シールド層74に電気的に接続されている第2のリード導体82を、この上部シールド層74と同じ材料で形成してもよい。

【0034】本実施形態における重要なポイントは、下部シールド層70又は下部ギャップ層71上に位置している第2のリード導体82（及びその下の上部ギャップ層73）の幅が従来よりも狭く設定されていることである。以下この点について、従来技術を参照して説明する。

【0035】図10はMRハイト又はスロートハイト研磨加工前の従来のTMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図11は図10のB-B線断面図である。これらの図において、前述した図7～図9の第1の実施形態の場合と同等の構成要素には同じ参照符号が付されている。図10に示されているように、従来は、一端が上部シールド層74に電気的に接続されかつ他端が第2のピアホール導体83に電気的に接続された第2のリード導体102（及びその下の上部ギャップ層73）が、この第2のピアホール導体83の幅とほぼ同じ大きさの幅を有している。

【0036】図7及び図9とこれら図10及び図11とを比較すれば明らかとなるように、第1の実施形態では、第2のリード導体82の幅が従来の第2のリード導体102の幅よりも大幅に狭く設定されており、これにより、下部シールド層70又は下部ギャップ層71に対向する上部シールド層74の電位を有する部分の面積がかなり小さくなっている。その結果、下部シールド層70及び上部シールド層74間のキャパシタンスC

shieldが小さくなるので、薄膜磁気ヘッドの周波数特性が著しく向上するのである。

【0037】図7に示すとき第1の実施形態の場合、下部シールド層70又は下部ギャップ層71上に位置する上部シールド層74の電位を有する部分の面積、即ちキャパシタとして機能する電極面積は $S=7810\mu m^2$ （CADによる計算値）であり、下部シールド層70及び上部シールド層74間のキャパシタンスは $C_{shield}=7.9pF$ であり、カットオフ周波数は $f_c=154.9MHz$ であった。ただし、下部シールド層70及び上部シールド層74間の距離は110nmであり、そのうち、 Al_2O_3 による絶縁体の膜厚は52nmであり、リード線を含むTMRヘッドの抵抗は $R_{HGA}=130\Omega$ である。なお、シールド層間キャパシタンス C_{shield} 及びカットオフ周波数 f_c は、実測しても計算で求めてもほぼ一致する。例えばカットオフ周波数 f_c は $f_c=1/(2\pi R_{HGA}C_{shield})$ から算出できる。

【0038】一方、図10に示す従来技術の場合、 $S=10230\mu m^2$ であり、 $C_{shield}=10.2pF$ であり、 $f_c=120MHz$ であった。

【0039】図12は上述した第1の実施形態及び後述する第2～第4の実施形態のごとき構成を有するTMRヘッド並びに従来の構成を有するTMRヘッドを実際に作成して測定したヘッド出力の対周波数特性を表す図であり、図13は図12の特性を換算して得た線記録密度の対周波数特性を表す図である。

【0040】作成したTMRヘッドは、そのTMR積層体が下地層としてNiCr（3nm）、反強磁性薄膜層としてPtMn（14nm）、下部強磁性薄膜層（ピン層）としてCoFe（2nm）/Ru（0.8nm）/CoFe（2nm）、トンネルバリア層として AlO_x 、上部強磁性薄膜層（フリー層）としてCoFe（2nm）/NiFe（4nm）、ギャップ層としてNiCr（3nm）を順次積層した構成を有している。そのTMR積層体は寸法が $0.35\times 0.35\mu m^2$ であり、 $RA=15\Omega\mu m^2$ であり、シールド層間距離は110nmであり、 Al_2O_3 による絶縁体の膜厚は52nmであり、リード線を含むTMRヘッドの抵抗は $R_{HGA}=130\Omega$ である。このTMRヘッドを、磁気ディスクを5400rpmで回転させ、半径 $r=35mm$ の位置で記録周波数を変化させることにより対周波数特性を測定した。

【0041】図12及び図13から明らかのように、第2のリード導体82の幅が従来の第2のリード導体102の幅よりも大幅に狭く設定された第1の実施形態では、 C_{shield} が従来技術の10.2pFから7.9pFに低下しており、ヘッドの周波数特性が大幅に向上している。なお、D50値についても、従来技術の194kFCIから241kFCIとこれも大幅に向上し

ている。

【0042】図14は本発明の第2の実施形態として、MRハイト又はスロートハイト研磨加工前のTMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図15は図14のA-A線断面図であり、図16は図14のB-B線断面図である。なお、図14では下部シールド層及び上部シールド層とこれらに接続されるリード導体と端子電極のみが表されその他は図示が省略されており、図15及び図16では上部シールド層の上平面より上側の層の図示が省略されている。

【0043】この第2の実施形態は、下部ギャップ層71上に積層されバターンニング形成されたTMR積層体142及びハードバイアス層145の構造が第1の実施形態の場合と異なっているのみであり、その他の構造は第1の実施形態と全く同様である。従って、図14～図16においては、図7～図9と同等の構成要素には同じ参照符号が付されている。

【0044】第2の実施形態においては、TMR積層体142の基本的な層が、下部ギャップ層71側から、下部強磁性薄膜層（フリー層）、トンネルバリア層、上部強磁性薄膜層（ピン層）及び反強磁性薄膜層という順序で積層された多層構造となっている。ハードバイアス層145は、下部ギャップ層71上に積層されている。なお、図15における、142aはTMR積層体142の両端からハードバイアス層145方向に積層面に沿って延長された下部強磁性薄膜層（フリー層）である。

【0045】この第2の実施形態におけるその他の構造、材料、膜厚、作用効果及び変更態様等については、前述した第1の実施形態の場合と同様である。

【0046】図17は本発明の第3の実施形態として、MRハイト又はスロートハイト研磨加工前のTMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図18は図17のB-B線断面図である。なお、図17では下部シールド層及び上部シールド層とこれらに接続されるリード導体と端子電極のみが表されその他は図示が省略されており、図18では上部シールド層の上平面より上側の層の図示が省略されている。

【0047】この第3の実施形態においては、一端が上部シールド層74に電気的に接続された第2のリード導体172、一端が第2のリード導体172の他端に電気的に接続された第2のピアホール導体173及び一端が第2のピアホール導体173の他端に電気的に接続された第3のリード導体174の構造が、第1又は第2の実施形態の場合と異なっているのみであり、その他の構造は第1又は第2の実施形態と全く同様である。従って、図17及び図18においては、図7～図9又は図14～図16と同等の構成要素には同じ参照符号が付されている。

【0048】本実施形態における重要なポイントは、第2のピアホール導体173が下部シールド層70の外側の位置に形成されていることにある。しかも、第2のリード導体172（及びその下の上部ギャップ層73）の幅が従来よりも幅を狭く設定されており、上部シールド層74と第2のピアホール導体173との間を斜めに直線的に結んでいる。これにより、下部シールド層70又は下部ギャップ層71に対向する上部シールド層74の電位を有する部分の面積が大幅に小さくなっている。その結果、下部シールド層70及び上部シールド層74間のキャパシタンス C_{shield} が小さくなるので、薄膜磁気ヘッドの周波数特性がより著しく向上するのである。

【0049】図17に示すとき第3の実施形態の場合、下部シールド層70又は下部ギャップ層71上に位置する上部シールド層74の電位を有する部分の面積、即ちキャパシタとして機能する電極面積は $S = 5880 \mu\text{m}^2$ （CADによる計算値）であり、下部シールド層70及び上部シールド層74間のキャパシタンスは $C_{\text{shield}} = 5.9 \text{ pF}$ であり、カットオフ周波数は $f_c = 207 \text{ MHz}$ であった。ただし、下部シールド層70及び上部シールド層74間の距離は 110 nm であり、そのうち、 Al_2O_3 による絶縁体の膜厚は 52 nm であり、リード線を含むTMRヘッドの抵抗は $R_{\text{HGA}} = 130 \Omega$ である。なお、シールド層間キャパシタンス C_{shield} 及びカットオフ周波数 f_c は、実測しても計算で求めてもほぼ一致する。例えばカットオフ周波数 f_c は $f_c = 1 / (2\pi R_{\text{HGA}} C_{\text{shield}})$ から算出できる。

【0050】図12及び図13から明らかなように、第2のピアホール導体173が下部シールド層70の外側の位置に形成されており、従来よりも幅が狭い第2のリード導体172が上部シールド層74と第2のピアホール導体173との間を斜めに直線的に結んでいる第3の実施形態では、 C_{shield} が従来技術の 10.2 pF から 5.9 pF に低下しており、ヘッドの周波数特性が大幅に向上している。なお、 $D50$ 値についても、従来技術の 194 kFCI から 345 kFCI とこれも大幅に向上している。

【0051】この第3の実施形態におけるその他の構造、材料、膜厚、作用効果及び変更態様等については、前述した第1又は第2の実施形態の場合と同様である。

【0052】図19は本発明の第4の実施形態として、MRハイト又はスロートハイト研磨加工前のTMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図20は図19のA-A線断面図であり、図21は図19のB-B線断面図である。なお、図19では下部シールド層及び上部シールド層とこれらに接続されるリード導体と端子電極のみが表されその他は図示が省略されてお

り、図20及び図21では上部シールド層の上平面より上側の層の図示が省略されている。

【0053】この第4の実施形態においては、下部シールド層190又は下部ギャップ層191の上部シールド層74と重なる部分の幅が、上部シールド層74の幅とほぼ同じとなるように、従来よりやや狭くなっており、一端が上部シールド層74に電氣的に接続された第2のリード導体192、一端が第2のリード導体192の他端に電氣的に接続された第2のビアホール導体193及び一端が第2のビアホール導体193の他端に電氣的に接続された第3のリード導体194の構造が第1又は第2の実施形態の場合と異なっている。本実施形態のその他の構造は第1又は第2の実施形態と全く同様である。従って、図19～図21においては、図7～図9又は図14～図16と同等の構成要素には同じ参照符号が付されている。

【0054】本実施形態における重要なポイントは、第2のビアホール導体193が下部シールド層190の外側の位置に形成されていること、及び第2のリード導体192の全てが、下部シールド層190の外側の位置に形成されていることにある。これにより、下部シールド層190又は下部ギャップ層191に対向する上部シールド層74の電位を有する部分の面積が極めて小さくなっている。その結果、下部シールド層190及び上部シールド層74間のキャパシタンス C_{shield} が小さくなるので、薄膜磁気ヘッドの周波数特性がさらに著しく向上するのである。

【0055】図19に示すとき第4の実施形態の場合、下部シールド層190又は下部ギャップ層191上に位置する上部シールド層74の電位を有する部分の面積、即ちキャパシタとして機能する電極面積は $S=5510\mu\text{m}^2$ (CADによる計算値)であり、下部シールド層190及び上部シールド層74間のキャパシタンスは $C_{\text{shield}}=5.5\text{pF}$ であり、カットオフ周波数は $f_c=223\text{MHz}$ であった。ただし、下部シールド層190及び上部シールド層74間の距離は 110nm であり、そのうち、 Al_2O_3 による絶縁体の膜厚は 52nm であり、リード線を含むTMRヘッドの抵抗は $R_{\text{HGA}}=130\Omega$ である。なお、シールド層間キャパシタンス C_{shield} 及びカットオフ周波数 f_c は、実測しても計算で求めてもほぼ一致する。例えばカットオフ周波数 f_c は $f_c=1/(2\pi R_{\text{HGA}} C_{\text{shield}})$ から算出できる。

【0056】図12及び図13から明らかなように、第2のビアホール導体193のみならず、上部シールド層74とこの第2のビアホール導体193とを電氣的に接続するための第2のリード導体192の全てが、下部シールド層190の外側の位置に形成されている第4の実施形態では、 C_{shield} が従来技術の 10.2pF から 5.5pF に低下しており、ヘッドの周波数特性が

大幅に向上している。なお、 $D50$ 値についても、従来技術の 194kFCI から 368kFCI とこれも大幅に向上している。

【0057】この第4の実施形態におけるその他の構造、材料、膜厚、作用効果及び変更態様等については、前述した第1又は第2の実施形態の場合と同様である。

【0058】上述した第1～第4の実施形態においては、絶縁ギャップ層76は、 Al_2O_3 で形成されているが、この部分の全部又は一部を Al_2O_3 より誘電率の低い絶縁材料、例えば Si_3N_4 、 $\text{Co-rFe}_2\text{O}_3$ (ヘマタイト)又は SiO_2 で構成することにより、シールド層間キャパシタンス C_{shield} をさらに低下させることができ、薄膜磁気ヘッドの周波数特性をより向上させることが可能である。

【0059】さらに、上述した第1～第4の実施形態におけるTMR積層体72又は142自体の膜厚を大きくするか、又はTMR積層体72又は142が形成されている部分のみ下部ギャップ層71を厚くすることによって、絶縁ギャップ層76の膜厚が大きくなるように構成すると、シールド層間キャパシタンス C_{shield} をさらに低下させることができ、薄膜磁気ヘッドの周波数特性をより向上させることが可能となる。

【0060】さらにまた、上述した第1～第4の実施形態におけるTMR積層体72又は142が存在しない位置において、下部シールド層70又は190の上面側を削って凹部を形成しその凹部内に絶縁体層を埋め込むか又は絶縁ギャップ層76の上に部分的に絶縁体層を付加することにより、下部シールド層及び上部シールド層間の実質的距離を増大させ、シールド層間キャパシタンス C_{shield} をさらに低下させることができ、薄膜磁気ヘッドの周波数特性をより向上させることが可能となる。

【0061】以上述べた実施形態においては、2種類の構造のTMR積層体を用いているが、本発明は、いかなる構造のTMR素子についても適用可能である。また、TMRヘッドのみならず、センス電流を積層面と垂直方向に流すいかなる構造のCPP-GMR素子を備えたCPP-GMRヘッドについても全く同様に適用可能である。

【0062】以上述べた実施形態は全て本発明を例示的に示すものであって限定的に示すものではなく、本発明は他の種々の変形態様及び変更態様で実施することができる。従って本発明の範囲は特許請求の範囲及びその均等範囲によってのみ規定されるものである。

【0063】

【発明の効果】以上詳細に説明したように本発明によれば、リード導体の下部シールド層上に位置する部分の面積が小さくなるようにパターニングされているため、下部シールド層及び上部シールド層間のキャパシタンス C_{shield} が小さくなる。その結果、薄膜磁気ヘッド

の周波数特性が著しく向上する。

【図面の簡単な説明】

【図1】一般的な構造を有するCIP-GMR素子をABS方向から見た図である。

【図2】一般的な構造を有するTMR素子又はCPP-GMR素子をABS方向から見た図である。

【図3】CIP-GMR素子の等価回路図である。

【図4】TMR素子又はCPP-GMR素子の等価回路図である。

【図5】図4に示した等価回路において、シールド層間のキャパシタンスが $C_{\text{shield}} = 6 \text{ pF}$ の場合における減衰量の対周波数特性を示す図である。

【図6】図4に示した等価回路において、シールド層間のキャパシタンスが $C_{\text{shield}} = 1 \text{ pF}$ の場合における減衰量の対周波数特性を示す図である。

【図7】本発明の第1の実施形態として、TMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である。

【図8】図7のA-A線断面図である。

【図9】図7のB-B線断面図である。

【図10】従来のTMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である。

【図11】図10のB-B線断面図である。

【図12】第1～第4の実施形態のごとき構成を有するTMRヘッド並びに従来の構成を有するTMRヘッドを実際に作成して測定したヘッド出力の対周波数特性を表す図である。

【図13】図12の特性を換算して得た線記録密度の対周波数特性を表す図である。

【図14】本発明の第2の実施形態として、TMR型薄

膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である。

【図15】図14のA-A線断面図である。

【図16】図14のB-B線断面図である。

【図17】本発明の第3の実施形態として、TMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である。

【図18】図17のB-B線断面図である。

【図19】本発明の第4の実施形態として、TMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である。

【図20】図19のA-A線断面図である。

【図21】図19のB-B線断面図である。

【符号の説明】

70、190 下部シールド層

71、191 下部ギャップ層

72、142 TMR積層体

142a 下部強磁性薄膜層（フリー層）

73 上部ギャップ層

74 上部シールド層

75、145 ハードバイアス層

76 絶縁ギャップ層

77 第1の絶縁体層

78 第2の絶縁体層

79 第1のビアホール導体

80 第1のリード導体

81 第1の端子電極

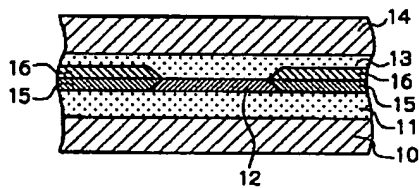
82、102、172、192 第2のリード導体

83、173、193 第2のビアホール導体

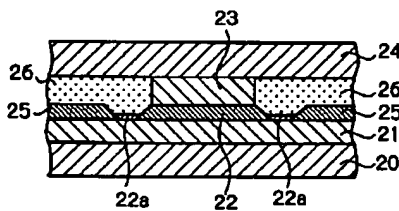
84、174、194 第3のリード導体

85 第2の端子電極

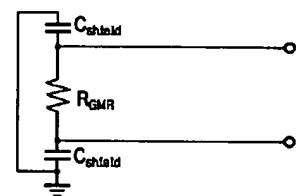
【図1】



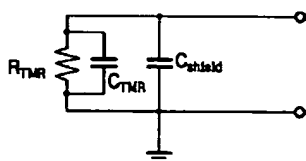
【図2】



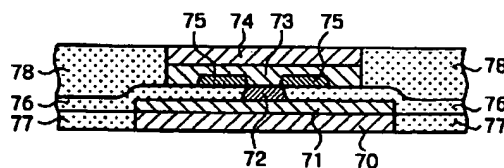
【図3】



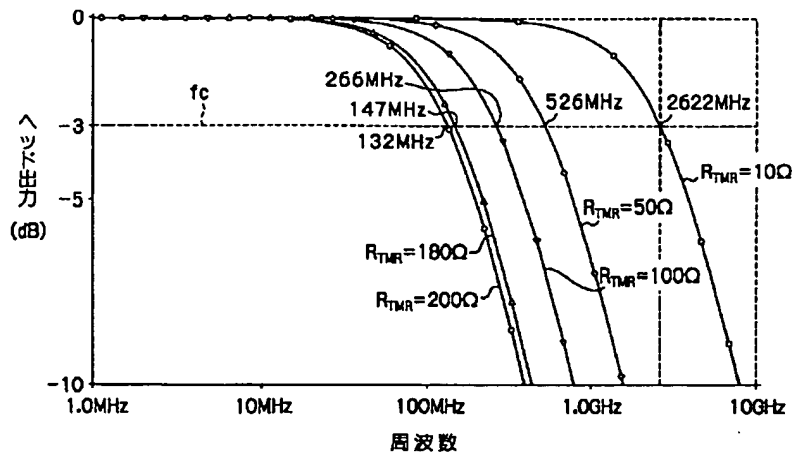
【図4】



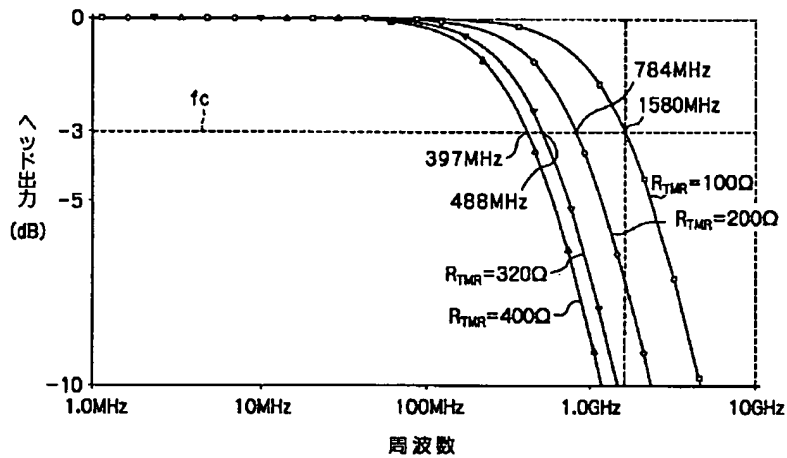
【図8】



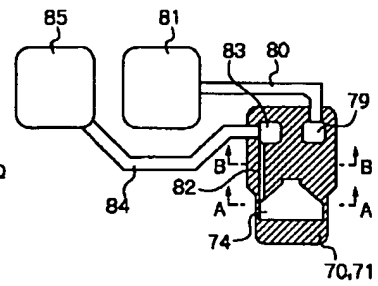
【図5】



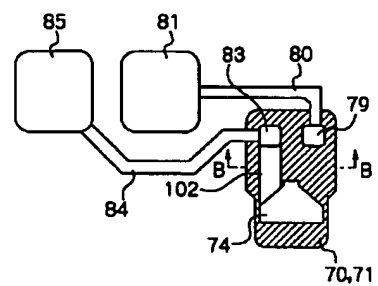
【例6】



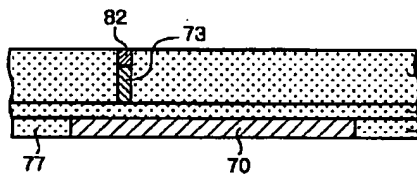
【圖7】



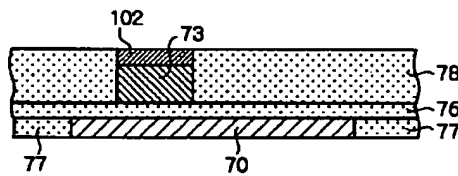
【図10】



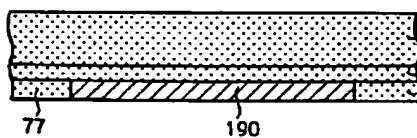
【図9】



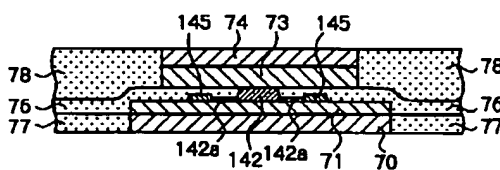
【※ 1 1】



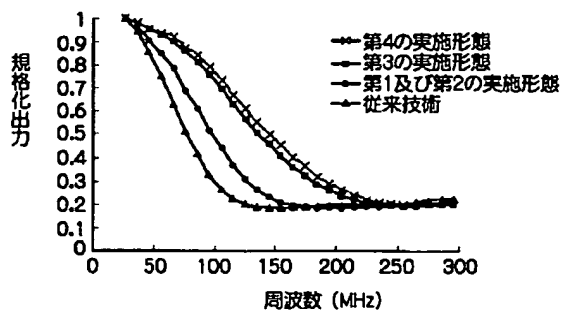
【例 21】



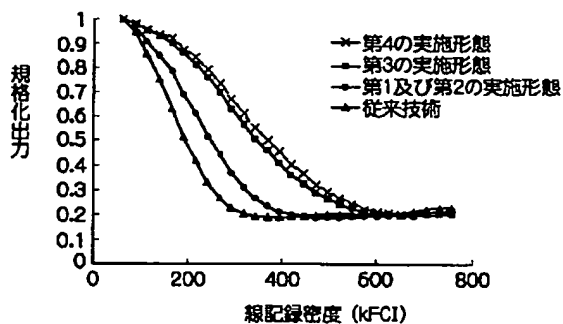
【图15】



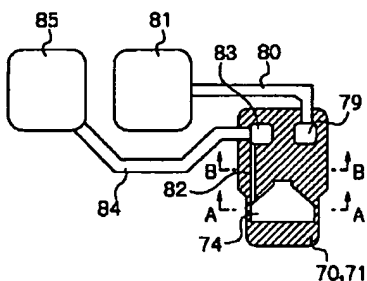
【図12】



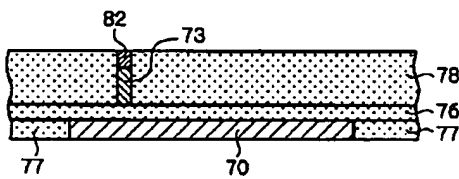
【図13】



【図14】

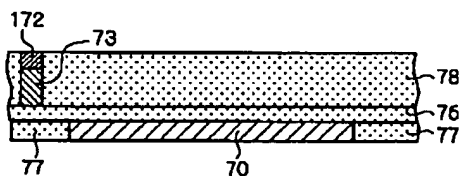
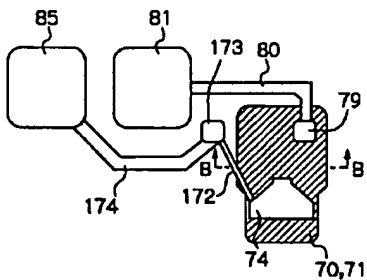


【図16】

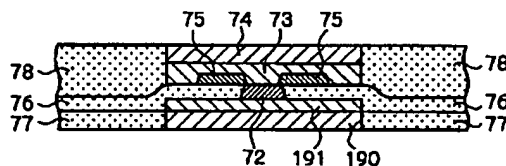


【図18】

【図17】



【図20】



【図19】

